

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-180481
 (43)Date of publication of application : 11.07.1997

(51)Int.Cl. G11C 16/06

(21)Application number : 08-331266 (71)Applicant : SAMSUNG ELECTRON CO LTD
 (22)Date of filing : 11.12.1996 (72)Inventor : LEE SUNG-SOO
 KIN CHINKI

(30)Priority

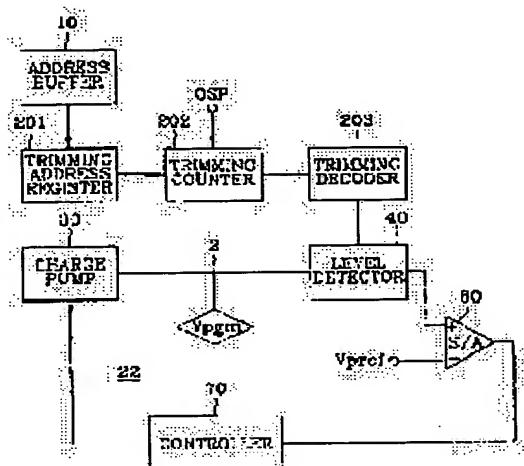
Priority number : 95 9548347 Priority date : 11.12.1995 Priority country : KR

(54) HIGH-VOLTAGE GENERATION METHOD IN NONVOLATILE SEMICONDUCTOR MEMORY, CIRCUIT FOR OPTIMIZATION OF HIGH-VOLTAGE LEVEL AND METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a high-voltage generation method in which the time required for an erase operation and a programming operation is optimized and whose reliability and performance are enhanced by a method wherein the starting level of a high voltage is optimized in the erase operation and the programming operation.

SOLUTION: A trimming counter 202 and a trimming encoder 203 act as a loop number-of-times counting circuit, for output of a level control signal, in order to supply an erase voltage of a programming voltage so as to be increased from a starting level whenever in erase operation and a programming operation are repeated. The counter 202 receives a program loop pulse OSP for counting of the number of times of the programming operation. In addition, a trimming address register 201 is installed, and it receives an address which is applied via an address buffer 10. The register 201 comprises many fuse elements which can be blown, it outputs, to the loop number-of-times counting circuit, a trimming signal for change of the starting level so as to respond to the address in a test, it selects and blows the fuse elements on the basis of a test result, it fixes a trimming signal, and it sets the optimum starting level of the erase time and the programming time.



LEGAL STATUS

[Date of request for examination] 05.08.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

（一）総要約＋請求の範囲

(19)【発行国】日本国特許庁(JP)
 (12)【公報種別】公開特許公報(A)
 (11)【公開番号】特願平9-180481
 (43)【公開日】平成9年(1997)7月11日
 (54)【発明の名称】不揮発性半導体メモリにおける高電圧発生方法と高電圧レベルの最適化回路及び最適化方法
 (51)【国際特許分類第6版】

3

[F1]

G11C 16/08
G11C 17/00 309 0

【審査請求】未請求

【請求項の数】7

【出願形態】OL

【全員数】14

(21)【出願番号】特願平8-331266

(22)【出願日】平成8年(1996)12月11日

(31)【優先権主張番号】1995P48347

(32)【優先日】1995年12月11日

(33)【優先権主張国】韓国(KR)

(71)【出願人】

【識別番号】390019839

【氏名又は名称】三星電子株式会社

【住所又は居所】大韓民国京畿道水原市八達区梅灘洞416

(72)【発明者】

【氏名】李 城秀

【住所又は居所】大韓民国ソウル特別市松坡区可樂洞479番地

(72)【発明人】

【氏名】金 錦▲き▼

【住所又は居所】大韓民国ソウル特別市陽川区新亭6洞木洞アパート1329棟1302号

(4)【代理人】

【弁理士】

【氏名又は名称】月 猛

(57)【要約】
 【課題】消去やプログラムにおける高電圧の開始レベルを最適化することを可能とし、消去やプログラム時間と最適化する。
 【解決手段】同じメモリセルに対する消去又はプログラムが反復される度にその消去電圧又はプログラム電圧を所定の開始レベルから順次に上げて、そのレベル制御信号を出力するループ回数計数回路202、203と、レベル制御信号に応答し順次に電圧レベルを上げて消去電圧又はプログラム電圧を発生する高電圧発生回路22(30~70)と、アドレス入力によるトリミング信号の初期値を変更し且つヒューズ切断によりそのトリミング信号の状態を固定する。そのトリミング信号の状態を固定することができるセッティング回路の開始レベルをセッティングするセッティング回路を備える。

【特許請求の範囲】

【請求項1】 フローティングゲート形の多数のメモリセルと、複数の選択メモリセルをプログラムするためのプログラム回路と、該プログラム効果を判断するためのプログラム検証回路と、を有する不揮発性半導体メモリにおいて、プログラムが反復される度にプログラム電圧を所定の開始レベルから順次に上げて、そのためのレベル制御信号を出力するループ回数計数回路と、このレベル制御信号に応答し順次に電圧レベルを上げて消去電圧又はプログラム電圧を発生する高電圧発生回路と、アドレス入力によるトリミング信号を発生して前記ループ回数計数回路のレベル制御信号の初期値を変更し且つヒューズ切断によりそのトリミング信号の状態を固定するセッティング回路と、からなる高電圧レベル最適化回路を備えたことを特徴とする不揮発性半導体メモリ。

【請求項2】 電気的消去可能なプログラム可能な不揮発性半導体メモリにおいて、同じメモリセルに対する消去又はプログラムが反復される度にその消去電圧又はプログラム電圧を所定の開始レベルから順次に上げて、そのためのレベル制御信号を出力するループ回数計数回路と、このレベル制御信号に応答し順次に電圧レベルを上げて消去電圧又はプログラム電圧を発生する高電圧回数計数回路と、アドレス入力によるトリミング信号を発生して前記ループ回数計数回路のレベル制御信号の初期値を変更し且つヒューズ切断によりそのトリミング信号の状態を固定するセッティング回路と、からなる高電圧レベル最適化回路を備えたことを特徴とする不揮発性半導体メモリ。

【請求項3】 高電圧発生回路は、高電圧を発生するためのチャージポンプと、レベル制御信号に応じて変化する分圧比により前記チャージポンプの出力電圧を分圧して出力するレベル検出器と、このレベル検出器の出力電圧と定電圧とを比較して比較電圧を発生する比較器と、その比較信号に応答して前記チャージポンプ活性化させる高電圧制御器と、から構成される請求項1又は請求項2記載の不揮発性半導体メモリ。

【請求項4】 ループ回数計数回路は、トリミングカウンタの2進カウンタからなるトリミングカウンタと、このトリミングカウンタの出力をコードしてレベル制御信号を発生するトリミングデコードと、から構成される請求項3記載の不揮発性半導体メモリ。

【請求項5】 セッティング回路は、モード開始前のセットアップ期間でヒューズにによる論理電圧又はアドレスを選択的に伝送してプリトリミング信号を出力する第1ブロックと、前記セットアップ期間でラッチ信号を発生する第2ブロックと、このラッチ信号に応じて前記第1ブロックと、から構成される請求項3又は請求項4記載の不揮発性半導体メモリ。

【請求項6】 消去又はプログラムの不完全なメモリセルがある場合に消去又はプログラムを反復するようとした不揮発性半導体メモリの消去又はプログラム用の高電圧発生方法において、印加する高電圧の開始レベルを可変としてテストにより予め調整し、消去又はプログラム時にその調整後の開始レベルから高電圧を印加し反復の度に電圧を上げていくようにしたことを特徴とする高電圧発生方法。

【請求項7】 不揮発性半導体メモリの消去又はプログラム用高電圧の最適化方法であって、時間の経過に伴い多数の段階にセットされて発生される高電圧のその多数の段階のうちの1つをトリミング信号の組合せにより選択し、そして、該選択した段階の高電圧で消去又はプログラム動作を実施した所要時間を所定の時間と比較して長くなる場合には前記多数の段階のうちの他の段階を選択することにより、消去又はプログラム電圧の開始レベルを決定する高電圧の最適化方法。

詳細な説明

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、EEPROMに代表される書き換え可能な不揮発性半導体メモリに関するものである。

【0002】

【従来の技術】NAND形のセル構造を有するEEPROMのメモリセルアレイは、行と列のマトリックス状に配列された多数のNANDセルユニットを有している。図15の等価回路図にそのメモリセルアレイの一部分を示す。

【0003】NANDセルユニットNU1～NUMのそれぞれは、ドレインが対応ビットラインBL1に接続された第1選択トランジスタ120と、ソースが共通ソースラインCSL1に接続された第2選択トランジスタ121と、を有し、これら第1選択トランジスタ120のソースと第2選択トランジスタ121のドレインとの間に、メモリセルトランジスタM1～M8のドレイン、ソース共通電源(チャネル)が直列接続されて、いる間に、メモリセルM1～M8の各ゲート、メモリセルM1～M8の各制御ゲート、及び第2選択トランジスタ121のゲートは、第1選択トランジスタ120のゲートは、第1選択トランジスタ121のゲートは、第2選択トランジスタ120にそれぞれ接続されている。

【0004】第1選択トランジスタ120及び第2選択トランジスタ121、そしてメモリセルM1～M8は、半導体基板の主表面部に形成したP形ウェル内に構成される。即ち、各NANDセルユニットM1～M8のソース、ドレイン共通電源(チャネル)が第1選択トランジスタ120のドレイン及びメモリセルM1～M8のソース、ドレイン共通電源(チャネル)が第2選択トランジスタ121のドレインと、アドレス入力によるメモリセルM1～M8の各チャネル上にはトンネル酸化膜を通じてポリシリコンのフローティングゲートが形成され、このフローティングゲート上に中間説電膜を通じてポリシリコン又は高融点金属のシリサイドで形成された制御ゲートが形成される。

【0005】第1選択トランジスタ120のP形ウェル内のドレイン領域は、高融点金属シリサイド又は金属で形成されたソース領域は、高融点金属シリサイド又は金層で形成された共通ソースラインCSL1に形成されたビットラインBL1とそれぞれ接続され、第2選択トランジスタ121のP形ウェル内と接続される。

【0006】このようなEEPROMにおいては、メモリセルのプログラムつまりデータ書き込み前に消去を実施する。メモリセルの消去は、P形ウェルに例えば20Vほどの消去電圧を印加すると共にワードラインWL1～WL8に例えば接地レベルの基準電圧を印加することによって行なわれる。これによりフローティングゲートの電子がトンネル酸化膜を通じてP形ウェルへ放出され、当該メモリセルは、デプレーションモードのトランジスタになる。例えば、この消去メモリセルがデータ“1”記憶となる。

【0007】消去が終わると今度は、ワードラインを選択してこれに接続された多数のメモリセルのプログラム、即ちデータ“0”的書き込みが実施される。プログラムでは、選択ワードラインに例えば18Vほどのプログラム電圧が印加され、データ“0”的書き込み対象のメモリセルのソース及びドレインは接地レベルの基準電圧が印加される。すると、プログラム対象のメモリセルのフローティングゲートにトンネル酸化膜を通じて電子が注入され、当該メモリセルは、エンハンスマントモードのトランジスタに変更される。

【0008】このような消去やプログラム後には通常、消去或いはプログラムセルが所定のしきい値電圧になつたかどうか検査を行われる。

【0009】最近のEEPROMの大容量化に伴つて、ゲート酸化膜や中間説電膜の幅と厚さ、そしてチャネル寸法等、メモリセルのサイズも小さくなっている。このために、製造工程においてそのゲート酸化膜、中間説電膜やチャネルサイズなどの均一性を保障しなつておらず、これに応じてメモリセルのしきい値電圧も、バランスキヤウスケル等のエラーテーダー等で、これを防止するためには、高集積化に伴つて消去やプログラムの成否を検証する検証技術が採用されている。以上の消去、プログラム、検証については、韓国公開特許第94-18870号に詳しい。

【0010】

【発明が解決しようとする課題】上記のような消去及びプログラムを実行する不揮発性半導体メモリにおいて、消去やプログラムのモード遂行に要する時間は、これらモードで必要な高電圧を発生させたための内部高電圧発生器による高電圧レベルとメモリセルのトンネル酸化膜の厚さによる

結合率(coupling ratio)に対し消去やプログラム時間が敏感に反応するので、この高電圧レベルの変化に対する反応性及び性能向上に重要な影響である。

【0011】従つて、本発明の目的は、メモリセルの消去やプログラムに必要な高電圧レベルを最適化し、消去やプログラムにかかる時間の最適化を可能とするにある。また同時に、工程条件の変化による消去やプログラム時間の変化を最小化せられるよう不揮発性半導体メモリを提供する。

【0012】

【課題を解決するための手段】にの目的のために本発明では、消去又はプログラムの不完全なメモリセルがある場合に消去又はプログラムを反復するよう印加する高電圧において、印加する高電圧の開始レベルを可変としてテストによりチメ調整し、消去又はプログラム時間にはその調整後の開始レベルから高電圧を印加し反復の度に電圧を上げていくことを特徴とする。即ち、不揮発性半導体メモリの消去又はプログラム用電圧の最適化方法として、用電圧の段階に応じて消去時間にセットされ、そして、診断部が段階のうちの1つをタイミング信号の組合せにより選択し、段階を選択した段階の高電圧で消去又はプログラム動作を実施した所要時間と所定の時間と比較して最も長い所要時間と比較する。

【課題を解決するための方法】にの目的のために本発明では、消去又はプログラム電圧の開始レベルを決定する高電圧の最適化方法を提供する。

【0013】このために本発明による消去又はプログラムが反復される度にその消去電圧又はプログラム電圧を所定の開始レベルから順次に上げていくためのレベル制御信号を出力するループ回数計数回路と、このレベル制御信号に応答し順次に高電圧レベルを上げて消去電圧又はプログラム電圧を発生する高電圧発生回路と、アドレス入力によるトリミング信号を発生して前記ループ回数計数回路のレベル制御信号の初期値を変更し且つヒューズ切断によりそのトリミング信号の状態を固定することができる前記高電圧発生回路による消去電圧又はプログラム電圧の開始レベルを決定する。或いは特に、プログラム回路と、該プログラム回路の多数のメモリセルと、複数の選択メモリセルを判別するためのプログラムするためのメモリセルと、複数の選択メモリセルを構成する。

【0014】高電圧電圧を所定の開始レベルから順次に上げていくためのレベル制御信号を出力するループ回数計数回路と、このレベル制御信号に応答し順次に電圧レベルを上げてプログラム回数計数回路のレベル制御信号を変更するためのプログラム回路と、からなる高電圧レベルと、複数の選択メモリセルと、から構成する。ループ回数計数回路の初期値を変更し且つヒューズ切断によりそのトリミング信号の状態を固定することができる前記高電圧発生回路による消去電圧又はプログラム電圧の開始レベルを切替える。セッティングするセッティング回路と、このレベル制御信号において、プログラムが反復される度にプログラムするためのプログラム回路と、を有する不揮発性半導体メモリセルと、複数の選択メモリセルと、から構成する。或いは特に、プログラム回路と、このレベル制御信号を出力するためのプログラム回路と、を有する不揮発性半導体メモリセルと、複数の選択メモリセルと、から構成する。ループ回数計数回路と、このレベル制御信号を変更するためのプログラム回路と、から構成する。ループ回数計数回路の初期値を変更し且つヒューズ切断によりそのトリミング信号の状態を固定することができる前記高電圧発生回路による消去電圧又はプログラム電圧の開始レベルを切替える。

【0015】

【発明の実施形態】以下、本発明の実施形態につき添付図面を参照して詳細に説明する。

【0016】本実施形態の不揮発性メモリには、-1.8Vほどしきい値電圧を有するデバイスジョンモードのNチャネルMOSトランジスタ(D形トランジスタ)と、0.7Vほどしきい値電圧を有するエンハンスマントモードのNチャネルMOSトランジスタ(P形トランジスタ)とする。-0.9Vほどのしきい値電圧を有するエンハンスマントモードのPチャネルMOSトランジスタとする。

【0017】図1に高電圧レベル最適回路のブロック図を示す。図示のトリミングカウンタ(trimming counter)202及びトリミングデータ203は、消去又はプログラム動作が反復される度に消去電圧

される。図51は、図4A及び図4Bのブロックにより提供される信号からトリミング信号TRDpgm0～TRDpgm2を生成するレジスタ500、501、502からなる第3ブロックを示している。これら3つのレジスタの構成は同じで、インバータ510、NORゲート511、ラッチ形態の2つのNORゲート512、513、このラッチ形態出力が反転するインバータ514から構成される。

ード形である。そして、奇数番のMOSキヤバシタ3、5、7の電極にチャージポンプ信号 V_{Pgm} が入力され、偶数番のMOSキヤバシタ4、6、8の電極にその相補信号 \bar{V}_{Pgm} が入力される。出力カノード2と電源供給電圧 V_{cc} との間にD形トランジスタDDTが接続されており、このD形トランジスタDDTにプログラム制御信号 \bar{V}_{Pgm} が入力されている。このD形トランジスタDDTは、スルータのゲートにプログラム制御信号 \bar{V}_{Pgm} が入力される。このD形トランジスタDDTは、出力カノード2のプログラム終了後に出力ノード2のプログラム電圧 V_{Pgm} を電源供給電圧 V_{cc} へ放電する役割をもつ。

【0026】プログラム中にプログラム電圧 V_{Pgm} を順次増加させるためのレベル検出器40は、出力カノード2に接続している。即ち、接地レベルの基準電圧 V_{ss} と出カノード2との間にN形トランジスタ31のチャネルと抵抗R1～R8、Rd、Rufが直列接続されており、N形トランジスタ31のゲートがインバータ32を通じてプログラム制御信号 \bar{V}_{Pgm} により制御されることで動作する。そして、このN形トランジスタ33～39のチャネルが直列接続されている。このN形トランジスタ33～39のゲートにレベル制御信号 V_{Pgm1} ～ V_{Pgm8} がそれぞ

れ提供され、これに応じてオンするなどによりN形トランジスタ33～39が抵抗R1～R8の順次ON/OFFする。

【0027】図8に示した比較器60は、プログラム動作中に接続ノードN2の電圧 V_{dD} と定電圧 V_{pre} を比較する。この比較器60は、基準電圧 V_{ss} と共通ノード46との間にチャネルが接続されたN形トランジスタ66が、インバータ67を通じたプログラム制御信号 \bar{V}_{Pgm} に応じて動作する。電源供給電圧 V_{cc} と共通ノード46との間に接続されたP形トランジスタ69及びN形トランジスタ64の直列接続部とP形トランジスタ69のドレインへ接続して、P形トランジスタ69のゲートは共通接続部とP形トランジスタ64のゲートに定電圧 V_{pre} が、そしてN形トランジスタ62のゲートに電圧 V_{dD} が V_{pre} を下回る比論理“L”出力、 V_{dD} が V_{pre} を上回る比論理“H”出力である。従って、 V_{dD} が V_{pre} を上回る比論理“H”出力である。

【0028】高電圧制御器70は、比較器60から出力される比較信号に従いチャージポンプ30を動作させ、プログラム電圧 V_{pgm} が所定の一定レベルを維持する。即ち、NANDゲート74の一方の入力端子に比較器60の出力が印加され、他方の入力端子にプログラム制御信号 V_{ctrl} が印加され、NANDゲート74の出力が印加される。そして、NANDゲート78、80にNANDゲート79号バーチャルスイッチ V_{ctrl} からクロックバ尔斯イフ V_{ctrl} 、バーチャルスイッチ V_{ctrl} の周波数を有する。これらNANDゲート78、80をそれぞれ通じてチャージポンプ信号 V_{pgm} を上昇させる。

順次増加する。本例では、こののようなプログラム電圧の増加に際し、テストモードにおいて多様なレベルにプログラム電圧を変化させて最高の開始レベルを突き、これに応じたヒューズ切断で最適の動作モード時に最高の開始レベルから増加させていく手法をとっている。これにより、最適の時間内にメモリセブルプログラムが行われるようにしてある。これについて、ヒューズ切断前つまりプログラム電圧設定テストのフローチャートを示した図2を参照して説明する。まずは、ステップ201で、トリミングのためのアドレスが図1のアドレスバッフル10を経てトリミングアドレスジスタ201へ印加され、即ち、このアドレスは図4のアドレス入力端子に印加される。このときには、図12～図14の期間T11で行われる。このときにも、もし、メモリチップのプログラム時間がテストの結果300usであったとすると、入力アドレスは、プログラム電圧を上向き調整するものとなる。このアドレス印加後、ステップ202で高電圧開始レベルセッティングコマンド“D5h”を提供することでステップ203の自動プログラムモードが実行される。このセッティング動作はセットアップ期間T22で、自動プログラムモードは期間T33で行われる。

【0035】ステップ204では、ステップ203によるプログラムが完了するまでのプログラム時間が、目標時間内にあるか否かチェックする。この結果、目標プログラム時間内にプログラム完了すればステップ205へ進行し、目標時間を超えていればステップ207へ進む。ステップ207へ進んだ場合は、トリミングアドレスが変更されてステップ201以降が繰り返される。即ちこれは、アドレス論理を変更しつつプログラム電圧を順次上げていき、最高の開始レベルを探す作業に該当する。一方、ステップ205へ進んだ場合は、リセットコマンド“F5h”が印加された後、ステップ206で、実際のプログラム時にプログラム電圧の開始レベルにより得られたレベルに固定するため、図4bのヒューズが一切切断され、トリミング信号の状態が決定される。

【0036】図9～図14の作業により、実際のプログラム時間が最適化した開始レベルでプログラム電圧が提供されるることになり、プログラム時間が最適化される。

【0037】図9～図14に沿って更に説明する。目標プログラム時間及びテスト結果の測定プログラム時間が上記と同じで、プログラム電圧の開始レベルは15.5Vとし、0.5Vの上向き調整により200μsの時間が変化すると仮定する。

【0038】図9～図11に示すプログラム時間T1に、図4で印加されるセットアップ信号Shrstが論理“L”から“H”に遷移し、ストップセット信号Prefが論理“L”を維持する。従って、ラッチ信号chpgm1が論理“H”にエネーブルされ、トリミング信号PTRDpgm0、PTRDpgm1、PTRDpgm2がそれぞれ、図9の波形のように論理“H”、“H”、“H”になる。すると、トリミング信号TRDpgm0、TRDpgm1、TRDpgm2はそれぞれ、論理“L”、“L”、“H”になる。この状態で、プログラムコマンド信号Sapgmがプログラムループ第1期間T2で論理“H”に遷移すると、図6のロード信号TRDloedがエネーブルされ、これにより、2進カウントのカウント信号RVpgm0、RVpgm1、RVpgm2、RVpgm3のそれぞれ、図10の波形のように論理“L”、“H”、“L”になる。従って、図7のトリミングデータ203の開始レベルが論理“H”に活性化される。このときに出力されるプログラム電圧Vpgmは、図8において、[(R5+R6+R7+R8+Rd+Ru)×Pref]/(R5+R6+R7+R8+Rd)で16Vに設定される。

【0039】図10のループ/ルスOSPIはループ回数が1回進む度に活性するので、この信号が遷移した後の第2ループ期間T3では、2進カウントのカウント信号RVpgm0、RVpgm1、RVpgm2、RVpgm3のそれぞれ、論理“H”、“L”、“H”、“L”になる。従って、図7のトリミングデータ203のレベル制御信号中TRDpgm5だけが論理“H”に活性化される。このときの図8におけるプログラム電圧Vpgmは[(R6+R7+R8+Rd+Ru)×Pref]/(R6+R7+R8+Rd)=16Vに設定される。即ち、ループ回数が1回増加する度に第2ループ期間T3以降では0.5Vずつ上向き調整される。このようにして、図9～図11に示すプログラム電圧は、図3のステップ310で説明のように段階的に0.5Vずつ増加する。

【0040】次には、プログラム電圧をレベル変化させつつ最適な開始レベルを探し、ヒューズ切断を行って実際のプログラム時間に最適な開始レベルから増加させて行くようにする最適化テスト過程を図12～図14により説明する。

【0041】目標プログラム時間が得られるよう開始レベルを16Vにするため、図4のアドレスA2、A3、A4、A5、A6をそれぞれ、論理“H”、“H”、“L”、“H”で期間T11において印加する。これにより、図4のトリミング信号PTRDpgm2はそれぞれ、図12の波形のように論理“L”、“H”、“H”、“L”になる。そして、テストセット信号Prefが論理“H”となるセットアップ期間T22になる。ラッチ信号chpgmが発生され、トリミング信号TRDpgm0～TRDpgm2はそれぞれ、論理

“H”、“L”、“H”になる。この状態で、自動プログラムコマンド信号Sapgmがプログラムループ期間T3で論理“H”に遷移すれば図6の信号TRDloedがエネーブルされ、これにより、2進カウント信号RVpgm0～RVpgm3はそれぞれ、図13の波形のように論理“H”、“L”、“H”、“L”になる。従って、図7のレベル制御信号中TRDpgm5だけが論理“H”に活性化される。このときに出力されるプログラム電圧Vpgmは、図8において[(R6+R7+R8+Rd)=16Vに設定される。】
【0042】即ち、16Vをプログラム電圧の開始レベルとしてセッティング信号PTRDpgm0～PTRDpgm2は、図12の波形のようにそれぞれ論理“L”、“H”、“L”で出力することになるので、切断すれば図4のヒューズは、信号PTRDpgm0の出力に開じたヒューズF1である。つまり、このヒューズF1を切断しておけば実際のプログラムでは、常に16Vから出力するようプログラム電圧の開始レベルが固定され、そしてvoltageが所定回数内で段階的に増加する。従って、プログラム時間が最適化される。

【0043】

【発明の効果】本発明によれば、消去やプログラムにおける高電圧の開始レベルを最適化することができる。即ち、消去やプログラムにかかる時間を見直すことができる。

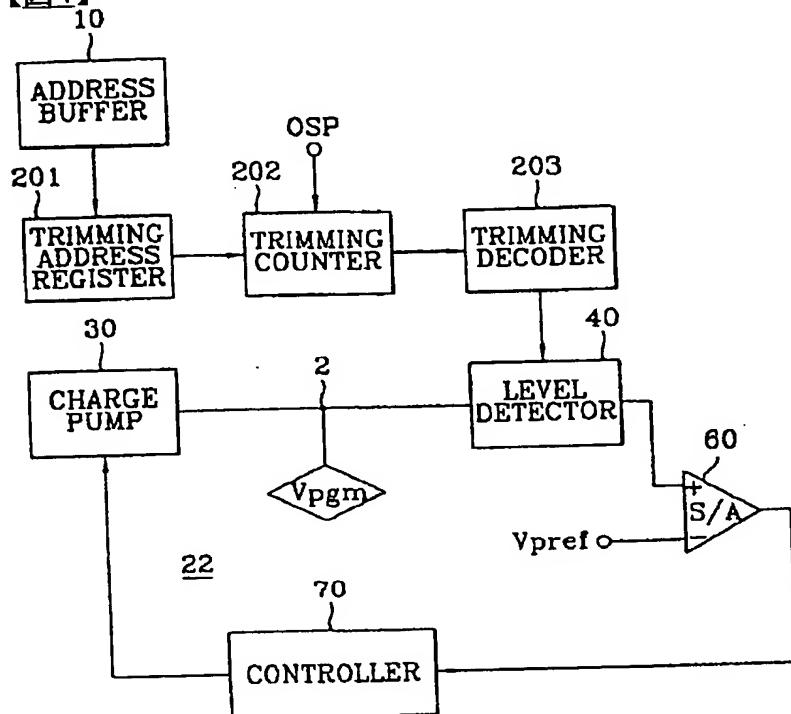
図の説明

【図面の簡単な説明】

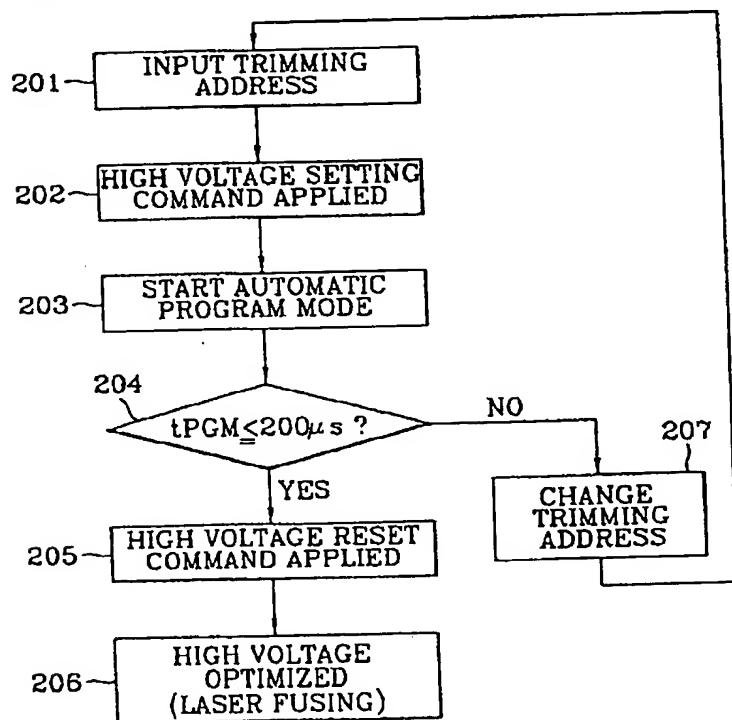
【図1】本発明による高電圧レベル最適化回路を示すブロック図。
 【図2】開始レベル最適化テスト過程を説明するフローチャート。
 【図3】プログラム過程を説明するフローチャート。
 【図4】図1中のトリミングアドレスリジスタを示す回路図。
 【図5】図4に係る回路図。
 【図6】図1中のトリミングカウンタを示す回路図。
 【図7】図1中のトリミングデータを示す回路図。
 【図8】図1中の高電圧余生回路を示す回路図。
 【図9】本発明による高電圧レベル最適化回路のプログラム時の動作タイミングを説明する信号波形図。
 【図10】図9に係る信号波形図。
 【図11】図10に係る信号波形図。
 【図12】本発明による高電圧レベル最適化回路の最適化テスト時の動作タイミングを説明する信号波形図。
 【図13】図12に係る信号波形図。
 【図14】図12に係る信号波形図。
 【図15】NAND形のセル構造としたEEPROMのメモリセルアレイの一部分を示す等価回路図。
 【符号の説明】
 10 アドレスバッファ
 22 高電圧発生回路
 30 チャージポンプ
 40 レベル検出器
 60 比較器
 70 高電圧制御器
 201 トリミングアドレスリジスタ(セッティング回路)
 202 トリミングカウンタ(ループ回数計数回路)
 203 トリミングデータ(ループ回数計数回路)

図面

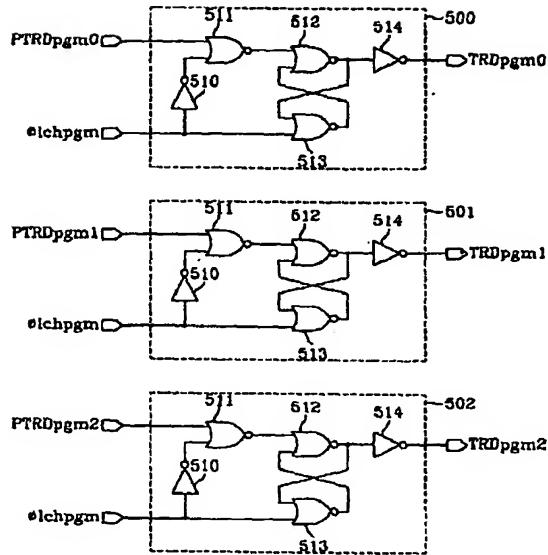
【図1】



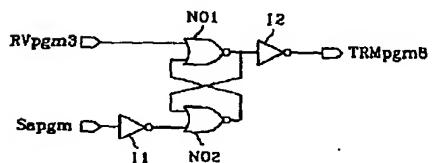
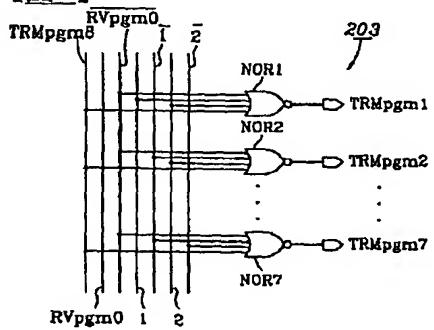
【図2】



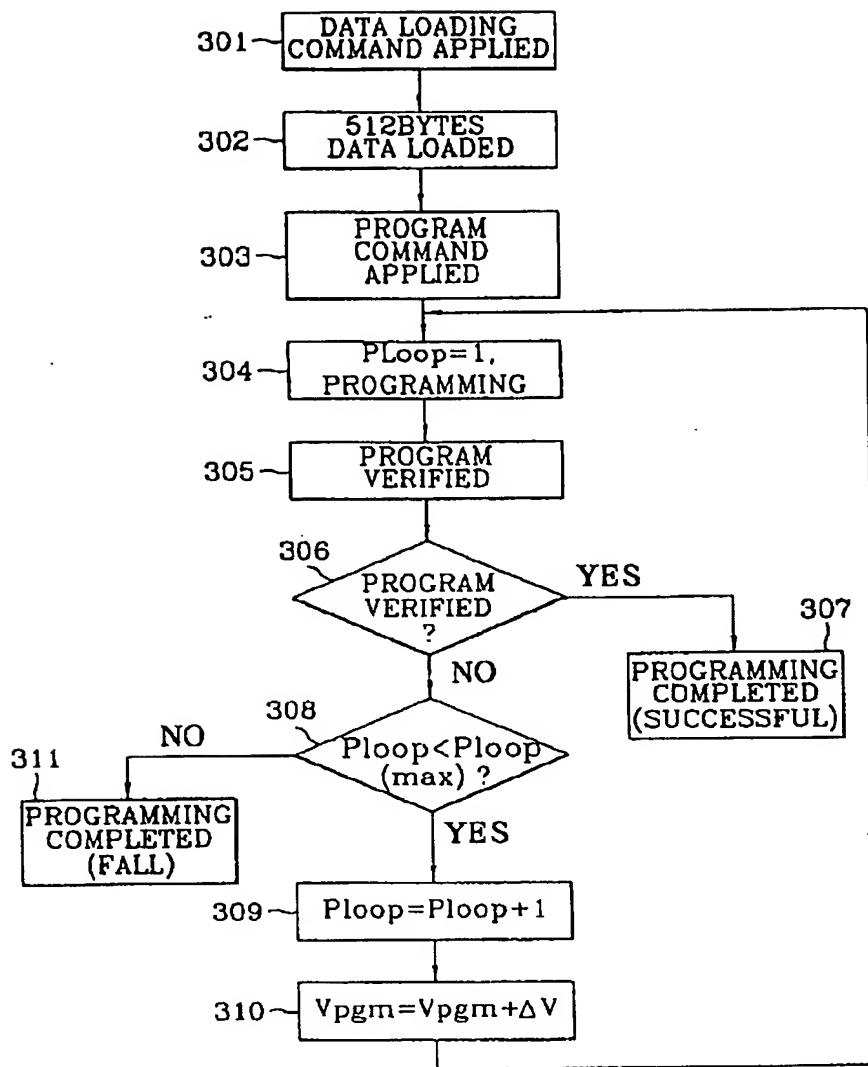
【図5】



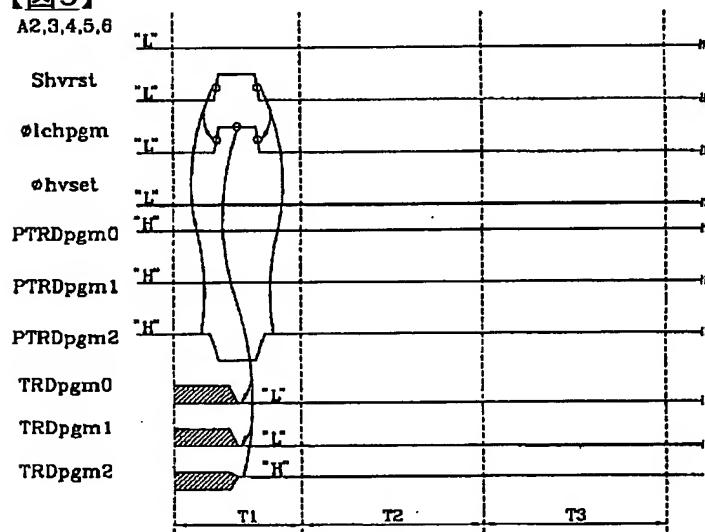
【図7】



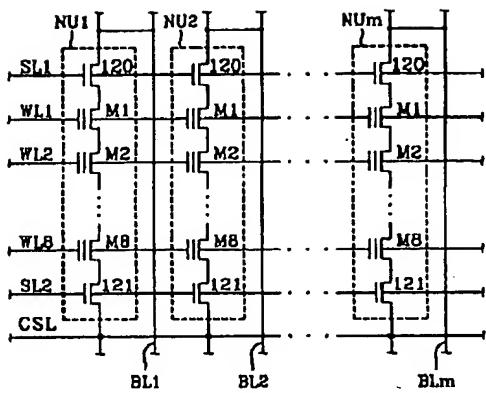
【図3】



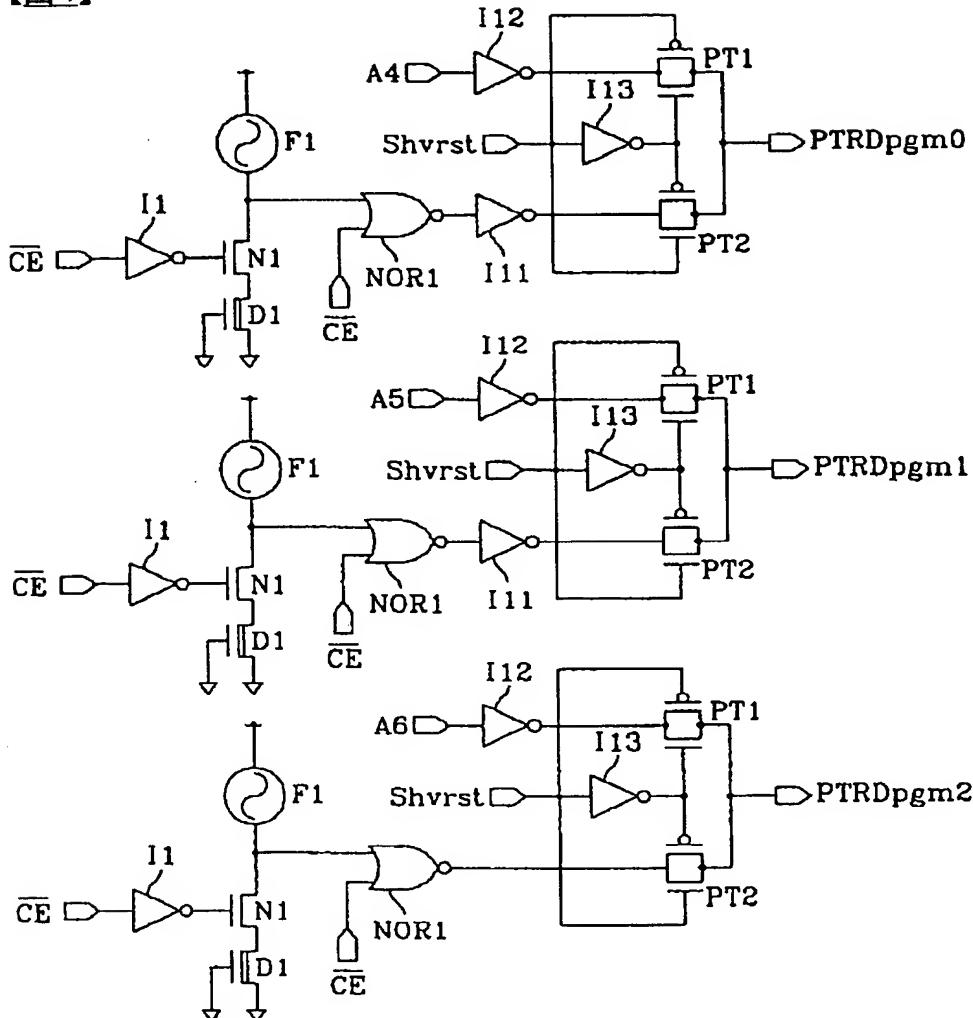
【図9】



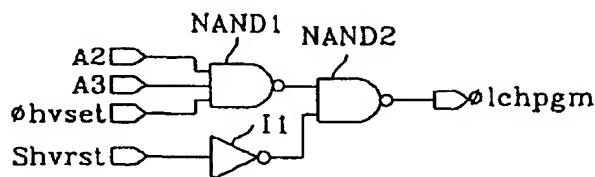
【図15】



【図4】

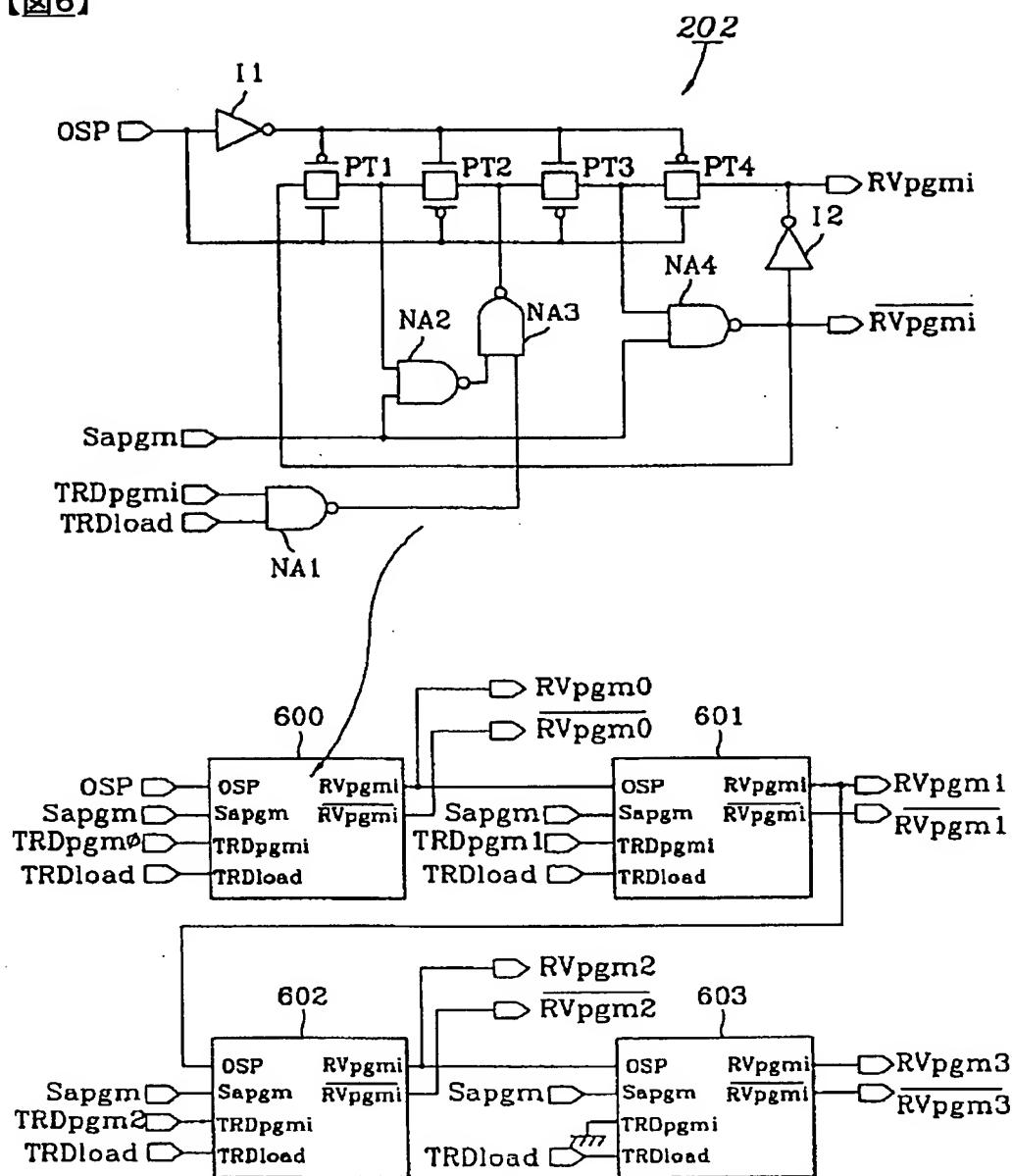


A

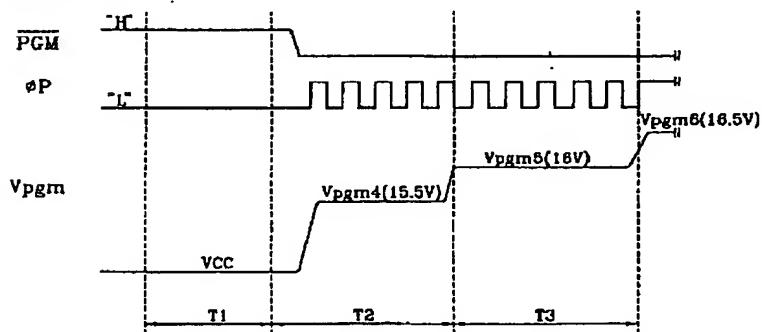


B

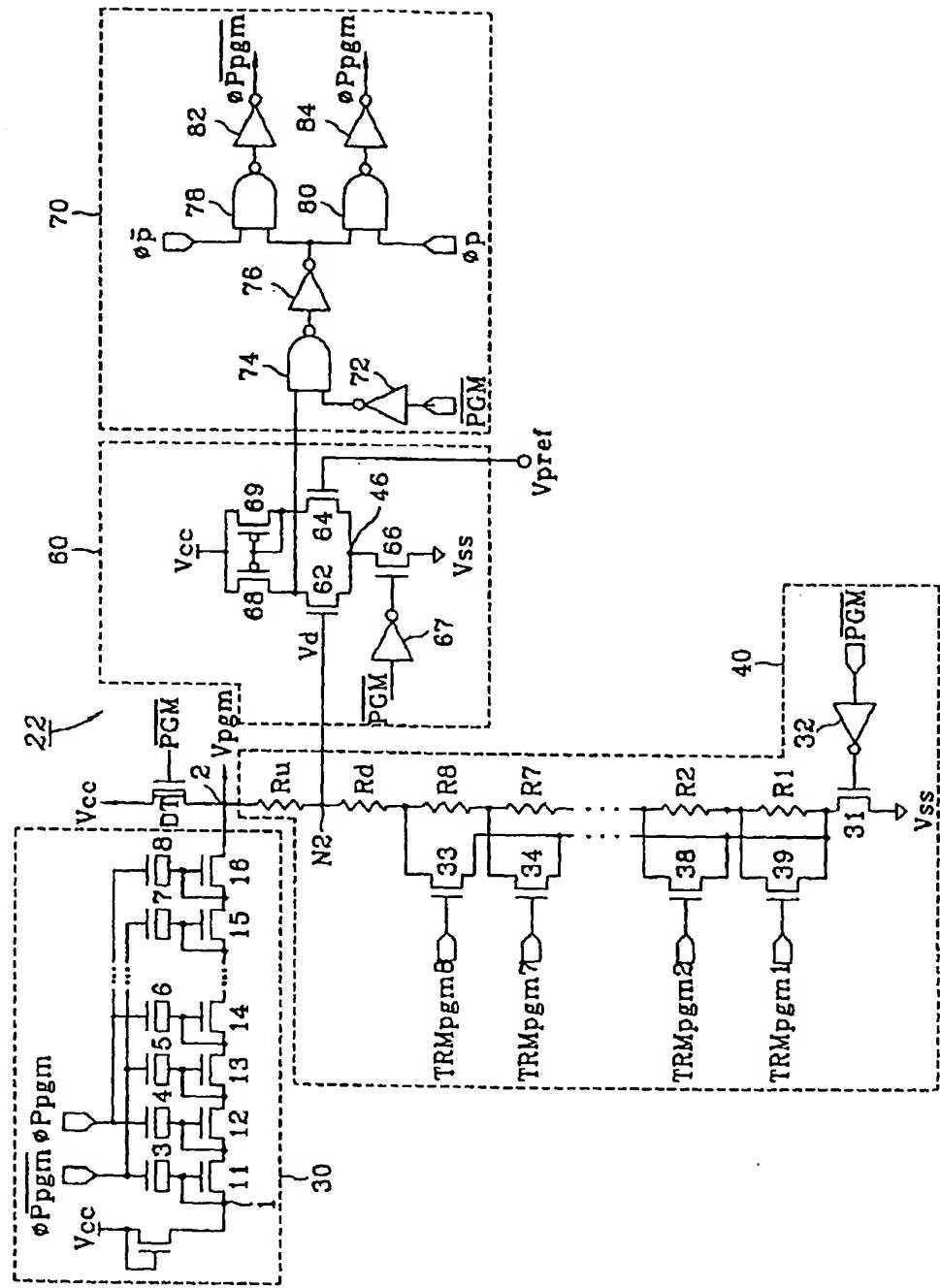
【図6】



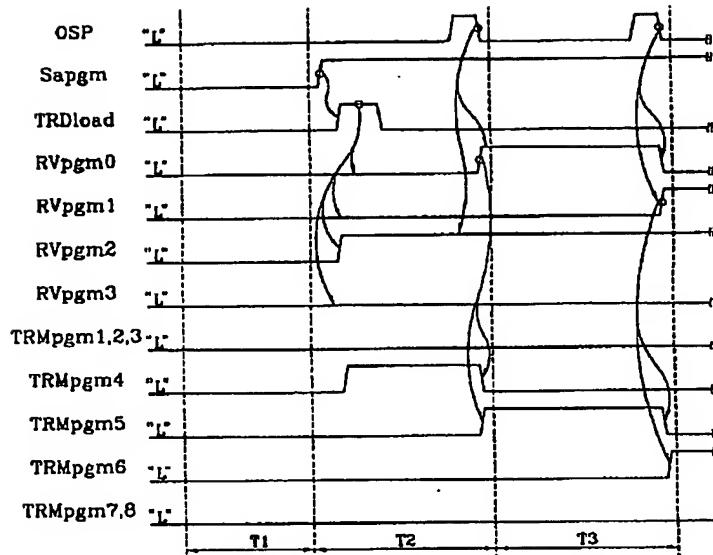
【図11】



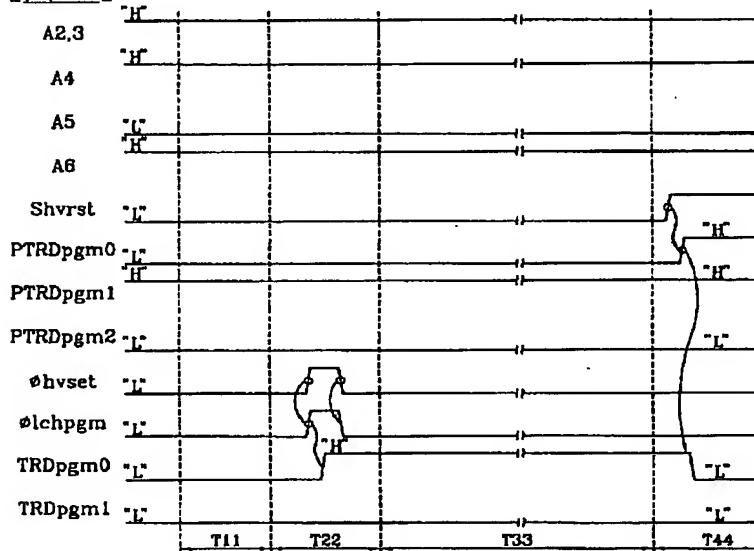
【図8】



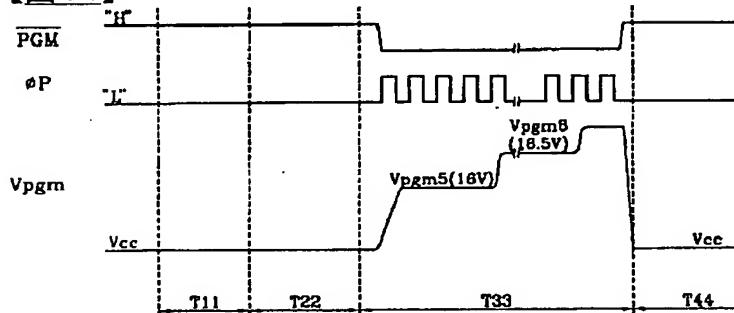
【図10】



【図12】



【図13】



【図14】

